(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11)特許出顧公開番号

特開平8-44776

(43)公開日 平成8年(1996)2月16日

(51) Int.Cl. ⁶		識別記号	庁内整理番号	FΙ			1	技術表示箇所
G 0 6 F	17/50		9191 –5H	G 0 6 F	15/ 60	658	к	
				審査請求	朱髓求	請求項の数 2	OL	(全 6 頁)

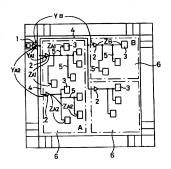
(21) 出願番号	特願平6-178325	(71)出願人	000005223
			富士通株式会社
(22)出版日	平成6年(1994)7月29日		神奈川県川崎市中原区上小田中1015番地
(CC) LIMES II		(72)発明者	飯田 隆司
			神奈川県川崎市中原区上小田中1015番地
			富士通株式会社内
		(72)発明者	角 悟
		(12/22/12	神奈川県川崎市中原区上小田中1015番地
			富士通株式会社内
		(7A) (P-FB) A	弁理士 寒川 誠一
		(14/10/25/	JAZZ ANI IM

(54) 【発明の名称】 半導体集積回路のクロック配線回路の設計方法

(57)【要約】

【目的】 半導体集積回路のクロック配線回路の設計方法に関するものであり、回路素子に印加されるクロック 信号の時間差であるクロックスキューを抑制する改良である。

【構成】 論理設計を行い、次に、レイアウト設計を行 は、クロッグパッファ2をツリー状に配置する半導体集 構図路のクロック配線回路の設計方法において、論理設 計時のクロック回路にはクロックパッファ2を設けず、 1 / 〇入力パッファ1のみを設けてクロック信号を必要 とする回路案子3に直接接続し、レイアウト設計時にク ロック回路としてクロック信号を必要とする回路業子3 の数より決まるクロックパッファ2をツリー状に配置 し、クロック配線校パターン5は、クロック配線がパターン これるクロック信号配線の配線速延時間より悲し が記述がである。 が記述がである。 のでは、クロックに関係がである。 では、クロック配線である。 では、クロックに関係がである。 では、クロック配線である。 では、クロック配線である。 のでは、からないでは、クロック配線である。 のでは、からないでは、クロック配線である。 ののでは、からないでは、クロック配線である。 ののでは、からないでは、からないでは、クロック配線である。 ののでは、からないでは、



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号 特開平8-44776

(43)公開日 平成8年(1996)2月16日

(51) Int.Cl.6		識別記号	庁内整理番号	FI	技術表示箇所
G 0 6 F	17/50		9191 —5H	G 0 6 F 15/60 6 5 8 K	

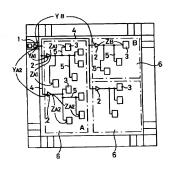
審査請求 未請求 請求項の数2 OL (全 6 頁)

(21)出顯番号	特職平6-178325	(71)出職人 000005223 富士通株式会社	
(22)出職日	平成6年(1994)7月29日	神奈川県川崎市中原区上小田中101	5番地
(SE) Marci		(72)発明者 飯田 隆司 神奈川県川崎市中原区上小田中101 富士通株式会社内	5番地
		(72)発明者 角 悟 神奈川県川崎市中原区上小田中101 富士通株式会社内	5番地
		(74)代理人 弁理士 寒川 誠一	

(54) 【発明の名称】 半導体集積回路のクロック配線回路の設計方法

(57)【要約】

【目的】 半導体集積回路のクロック配線回路の設計方法に関するものであり、回路業子に印加されるクロック 信号の時間差であるクロックスキューを抑制する改良で ある。



【特許請求の顧用】

[蘭求項1] 論理級計を行い、次に、レイアウト吸計を行い、クロックパッファをツリー状に配置する半導体 集積回路のクロック配線回路の設計方法において、 論理設計時のクロック回路にはクロックパッファを設け

1

論理設計時のクロック回路にはクロックバッファを設けず、クロック信号が入力されるI/O入力パッファのみを設け、該I/O入力パッファよりクロック信号を必要とする回路事子に直接棒棒し、

レイアウト設計時にクロック回路としてクロック信号を必要とする回路素子の数より決まる前記クロックバッフアを判り、中代配置し、ツリー状に配置された前記クロックバッファと技練されるクロックバッファと前記1/〇入カバッファとを接続するクロック配線的バターンを配置し、ツリー状に配置された前記クロックが、ファと前記クロック信号を必要とする回路素子とを接続するクロック配線的バターンに、該クロック配線的バターンと開連する前記クロック配線がバターンに表述が、一次の一般では、大の一次の一般では、大の一次の一般では、大の一次の一般では、大の一次では、一次では、大のでは、大のでは、大のいので

[前求項2] 論理設計時の前記1/〇入カバッファの 選延時間として、該1/〇入カバッファの選延時間に、 前配クロック信号を必要とする回路素子の数より決まる 前配クロックパッファの選延時間と前記配線選延時間と の合計時間を加算した時間であるとして論理設計を行う ことを特徴とする前求項1配載の半導体集積回路のクロ ックを編集の取割方法。

【発明の詳細な説明】

[0001]

[産業上の利用分野] 本発明は、半導体集積回路のクロック配頼回路の設計方法に関する。クロック信号を必要 とする回路条子に印加されるクロック信号が関なる回路 業子に対して時間差 (クロックスキューと云う。) を生 ずる。このクロックスキューの発生を抑制することを可 能にする改良に関する。

[0002]

【従来の技術】近年、半導体集積回路はより高速で大規模な回路を集積するように要量され、半導体集積回路の構造の機能が造農している。これに伴い、半導体集積 側路内部のクロックスキューを少なくすることが半導体 側路内部のクロックスキューを少なくすることが半導体でいる。このため、従来は論理競技段階において、先ず、要求される仕様を実行しうる論理回路を連成する機能 毎年に加速プロックに分割し、この論理プロックを構成する回路業子の中のクロック信付を必要とする回路業子に対して、クロックスキューができるだけ発生しないように、クロックの両路を設計する。

【0003】図4参照

図4は従来技術に係る論理設計時のクロック回路の1例である。図4において、1は外部よりクロック信号が入 力される1/〇入力パッファであり、2はクロックパッファであり、3はクロック信号を必要とする回路来子であり、6は論理設計された論理回路を機能年に分解した 論理プロックである。

【0004】 I/O入力パッファ1ならびにクロックパ ッファ2は共に駆動しうる負荷が決まっている。図4に 示す例においては、クロック信号を必要とする回路素子 3の数が多いので I /O入力パッファ 1 のみで全てのク ロック信号を必要とする回路素子3を直接駆動すること ができないので、各論理プロック6毎にクロックパッフ ァ2を設けている。なお、ある論理プロック6中のクロ ック信号を必要とする回路素子3の数が多いときは、そ の論理プロック6に複数のクロックパッファ2を設ける こととなる。そして、クロックパッファ2の数が多くな り、I/O入力パッファ1の駆動能力を超えるときは、 クロックパッファ2の回路を2段の階層構造とし一つの クロックバッファ2により複数のクロックパッファ2を 駆動するように構成する。このように、複数段の階層構 造とすることによりクロック信号を必要とする回路素子 3の数が多い大規模集積回路にも対処できる。クロック パッファ2の階層構造をツリー状構造またはツリー状配 層と呼んでいる。

【0005】ツリー状にクロックパッファ2を配置する とき、1/O入力パッファ1と各クロック信号を必要と する回路素子3との間のクロックパッファ2の敷は同一 になるように設計し、クロックパッファ2の選逐時間に よってクロックスキューが増加しないように配慮してい 30 る。 論理回路ができるとこの論理回路に基づいて仮のシ ミュレーションにより論理回路の動作確認を行い、論理 粉計を終すする。

[0006] 次のレイアウト設計においては、先ずフロ アプランと呼ばれる、半導体基度上に論理プロック6 和 互間の関係を考慮して配置した論理プロック6 の配置図 を作成する。フロアープランが改まると各論型プロック 6内の各回路素子と各回路素子相互を接続する配線バタ ーンとの詳細配置を決める。これにより、クロック回路 の配線パターンが決定され、従来技術に係る半導体集積 回路のクロック配線回路の設計方法が練了する。

[0007] なお、レイアウト設計が終了すると論理回 路や配線の抵抗や静電容量の計算を行い、これらの値を 使用して最終的なシミュレーションを行って半導体集積 回路の動作を確認する。要求化模を満足していることを 確認して、半導体集積回路の設計を完了する。

[00008]

【発明が解決しようとする課題】ところで、従来技術に 係る半導体集種回路のカロック配線回路の設計方法にお いては、論理設計時にクロック回路の設計を行い、レイ 50 アウト設計時にクロック配線パターンの設計を行ってい 【請求項1】 論理設計を行い、次に、レイアウト設計を行い、クロックパッファをツリー状に配置する半導体 集積回路のクロック配線回路の設計方法において、

1

論理設計時のクロック回路にはクロックパッファを設けず、クロック信号が入力される I/O入力パッファのみを設け、該 I/O入力パッファよりクロック信号を必要とする回路素子に直接を続し、

レイアウト設計時にクロック回路としてクロック信号を必要とする回路業子の数より決まる前記クロックパッフフランマをツリー状に配置し、ツリー状に配置された前記クロックパッファの内直接前記1/〇入カパッファとを接続するクロックパッファと前記1/〇入カパッファとを接続するクロック配線幹パターンを配置し、ツリー状に配置された前記クロックパッファと前記クロック配線技パターンと関連する前記クロックの解検パターンと関連する前記クロックの表述時間を半導体集積回路会体の面積より想定されるクロック信号線の配線運転時間より差し引いた選集時間を対している。

【発明の詳細な説明】

[0 0 0 1]

【産業上の利用分野】本発明は、半導体集積回路のクロック配換回路の設計方法に関する。クロック信号を必要とする回席条子に印加されるクロック信号分異なる回路業子に対して時間差 (クロックスキューと云う。) を生ずる。このクロックスキューの発生を抑制することを可能にする必要に関する。

[0002]

【従来の技術】近年、半導体集積回路はより高速で大規模な回路を集積するように要望され、半導体集積回路の開発の機能の機能の表現している。これに伴い、半導体集積 伊朗特内部のクロックスキューを少なくすることが半導体集積 何的時の性能を最大限に生かすために重要となってきている。このため、従来は漁理投計投降において、先ず、要求される仕様を実行しつる論理回路を違成する機能毎に論理プロックに分割し、この論理プロックを機成するほの路素子の中のクロック信号を必要とする回路素子に対して、クロックスキューができるだけ発生しないように、クロックの時を設計する。

[0003] 図4参照

図4は従来技術に係る論理説計時のクロック同覧の1何 である。図4において、1は外部よりクロック信号が入 力される1/O入力パッファであり、2はクロックパッ ファであり、3はクロック信号を必要とする回路業子で あり、6は論理設計された論理同路を機能等に分解した 論理プロックである。

【0004】 1/0入力パッファ1ならびにクロックパ ッファ2は共に駆動しうる負荷が決まっている。図4に 示す例においては、クロック信号を必要とする回路素子 3の数が多いので「/O入力パッファ1のみで全てのク ロック信号を必要とする回路素子3を直接駆動すること ができないので、各論理プロック6毎にクロックパッフ ァ2を設けている。なお、ある論理プロック6中のクロ ック信号を必要とする回路素子3の数が多いときは、そ の論理プロック6に複数のクロックバッファ2を設ける こととなる。そして、クロックパッファ2の数が多くな り、I/O入力パッファ1の駆動能力を超えるときは、 クロックパッファ2の回路を2段の階層構造とし一つの クロックパッファ2により複数のクロックパッファ2を 駆動するように構成する。このように、複数段の階層構 造とすることによりクロック信号を必要とする回路素子 3の数が多い大規模集積回路にも対処できる。クロック パッファ2の階層構造をツリー状構造またはツリー状配 置と呼んでいる。

[0005] ツリー状にクロックパッファ2を配置する とき、I/O入力パッファ1と各クロック情号を必要と する同路集予3との間のクロックパッファ2の敷は同一 になるように設計し、クロックパッファ2の選逐時間に よってクロックスキューが増加しないように配慮してい 30 る。 島理回路ができるとこの 急理回路ができるとこの 急速である。

カ る。論理回路ができるとこの論理回路に基づいて仮のシ ミュレーションにより論理回路の動作確認を行い、論理 設計を終了する。

[0006] 次のレイアウト設計においては、先ずフロアブランと呼ばれる、半導体基板上に論理プロック6 和屋間の関係を考慮して配置した論理プロック6 の配置数を作成する。フロアーブランが決まると各論理プロック6内の各回路素子と各回路素子相互を接続する配線パターンとの詳細配置を決める。これにより、クロック回路の配線パターンが決定され、従来技術に係る半導体集積回路のクロック配線回路の配針方法が練了する。

[007] なお、レイアウト設計が終了すると論理回 路や配線の抵抗や静電容量の計算を行い、これらの値を 使用して最終的なシミュレーションを行って半導体集復 回路の動作を確認する。要求仕様を満足していることを 確認して、半導体集積回路の設計を完了する。 [0008]

(発明が解決しようとする課題)ところで、従来技術に 係る半導体集権回路のクロック配線回路の設計方法にお いては、論理設計時にクロック回路の設計を行い、レイ 50 アウト設計時にクロック配線パターンの設計を行ってい た。このため、クロックパッファ2の論理的配置、すな わち、どのクロック信号を必要とする回路素子3を駆動 するかは論理設計において既に決められており、レイア ウト設計時に、クロックパッファ2やクロック信号を必 要とする回路素子3の物理的配置を決めるとき図5のよ うなことが生ずる。

[0009] 図5参照

図5は従来技術に係る半導体集積回路のクロック配線回 路の設計方法において、レイアウト設計時の最終配置図 である。図5において、4は1/0入力パッファ1とク 10 ロックパッファ2とを結ぶクロック配線幹パターンであ り、5はクロックパッファ2とクロック信号を必要とす る回路素子3とを結ぶクロック配線枝パターンである。 クロック信号を必要とする回路素子3の内、aの回路素 子とりの回路素子とでは、クロック配線枝パターン5の 配線長が大きく異なる。配線長に比例して静電容量と抵 抗とが共に増大するため、遅延時間も増大する。このた め、遅延時間に差が生じ、論理設計段階では想定してい なかったクロックスキューが発生することになる。半導 体集積回路が大規模化されるに伴い、全てのクロック配 20 線パターンの配線長を同程度にすることが困難になり、 クロックスキューの発生頻度が増大する。このクロック スキューは最終的なシミュレーションにおいて問題が顕 在化し、論理設計からやり直す羽目にもなりかねない。

【0010】本発明の目的は、これらの問題を解消する ことにあり、大規模な半導体集積回路であってもクロッ クスキューの発生を抑制しうる半導体集積回路のクロッ ク配線回路の設計方法を提供することにある。

[0011]

【課題を解決するための手段】上記の目的は、論理設計 30 を行い、次に、レイアウト設計を行い、クロックパッフ ァ (2) をツリー状に配置する半導体集積回路のクロッ ク配線回路の設計方法において、論理設計時のクロック 回路にはクロックパッファ (2) を設けず、クロック信 号が入力されるI/O入力パッファ(1)のみを設け、 この I / O入力パッファ (1) よりクロック信号を必要 とする回路素子(3)に直接接続し、レイアウト設計時 にクロック回路としてクロック信号を必要とする回路素 子(3)の数より決まる前記のクロックパッファ(2) をツリー状に配置し、ツリー状に配置された前記のクロ 40 クロックスキューの増加を抑制することができる。 ックパッファ (2) の内直接前配の [/〇入力パッファ (1) と接続されるクロックパッファ (2) と前記の [/O入力パッファ(1)とを接続するクロック配線幹パ ターン (4) を配置し、ツリー状に配置された前記のク ロックパッファ (2) と前記のクロック信号を必要とす る回路素子(3)とを接続するクロック配線枝パターン (5) は、このクロック配線枝パターン(5)と関連す る前記のクロック配線幹パターン(4)の遅延時間を半 導体集積回路全体の面積より想定されるクロック信号配 線の配線遅延時間より差し引いた遅延時間に近づくよう 50

に配置する半導体集積回路のクロック配線回路の設計方 法によって達成される。

【0012】また、論理設計時の前記のI/O入力パッ ファ (1) の遅延時間として、この I / O入力パッファ

- (1) の遅延時間に、前記のクロック信号を必要とする 同路素子(3)の数より決まる前配のクロックパッファ (2) の遅延時間と前記の配線遅延時間との合計時間を 加算した時間であるとして輸理設計を行うようにしてあ
- ると、論理設計段階でのシミュレーションの確度が高 く、最終シミュレーションの後再度論理設計に戻ること をなくしうるので都合がよい。

[0013]

【作用】本発明に係る半導体集積回路のクロック配線回 路の設計方法においては、

イ、クロックパッファ2は論理設計時には配置せず、レ イアウト設計時にクロックパッファ2の配置を決めてい る.

【0014】ロ.クロック配線枝パターン5は、このク ロック配線枝パターン5と関連するクロック配線幹パタ ーン4の遅延時間を半導体集積回路全体の面積より想定 されるクロック信号配線の配線遅延時間より差し引いた 遅延時間に近づくように配置を決めている。

[0015] このため、

ハ、クロックパッファ2とクロック信号を必要とする回 路素子3との物理的配置を見てクロックパッファ2の論 理的配置を決めることができ、クロックパッファ2の物 理的配置を、そのクロックパッファ2に接続される複数 のクロック信号を必要とする回路素子3までの距離の差 がそれほど無いように決めることができる。そして、ク ロック信号を必要とする回路素子3までの配線長の多少 の差はクロック配線枝パターン5の配置を若干変更する ことにより無くしうるので、このクロックパッファ2に 接続されるクロック信号を必要とする回路素子3におけ るクロックスキューを無くすことができる。

【0016】二、I/O入力パッファ1から直接接続さ れる異なるクロックパッファ2に接続されるクロック信 号を必要とする回路業子3相互間においては、クロック 配線幹パターン4とクロック配線枝パターン5との和の 遅延時間が配線遅延時間に近づくようにしているから、

[0017]

【実施例】以下、図面を参照して、本発明の1実施例に 係る半導体集積回路のクロック配線回路の設計方法につ いてさらに詳細に説明する。

【0018】図1参照

図1は本発明の1実施例に係る半導体集積回路のクロッ ク配線回路の設計方法において、論理設計時のクロック 回路である。図1において、1は外部よりクロック信号 が入力される1/0入力パッファであり、3はクロック 信号を必要とする回路素子であり、6は論理設計された

た。このため、クロックパッファ2の範囲的配便、すな わち、どのクロック保号を必要とする同路素子3名を駆動 するかは金楽型形において既に決められており、レイア ウト設計時に、クロックパッファ2やクロック信号を必 要とする回路素子3の物型的配置を決めるとき図5のよ うなことが生ずる。

【0009】図5参照

図5は従来技術に係る半導体集積回路のクロック配線回 路の設計方法において、レイアウト設計時の最終配置図 である。図5において、4はI/O入力パッファ1とク 10 ロックパッファ2とを結ぶクロック配線幹パターンであ り、5はクロックパッファ2とクロック信号を必要とす る回路素子3とを結ぶクロック配線枝パターンである。 クロック信号を必要とする回路素子3の内、aの回路素 子ともの回路素子とでは、クロック配線枝パターン5の 配線長が大きく異なる。配線長に比例して静電容量と抵 抗とが共に増大するため、遅延時間も増大する。このた め、遅延時間に差が生じ、論理設計段階では想定してい なかったクロックスキューが発生することになる。半導 体集積回路が大規模化されるに伴い、全てのクロック配 20 線パターンの配線長を同程度にすることが困難になり、 クロックスキューの発生頻度が増大する。このクロック スキューは最終的なシミュレーションにおいて問題が顕 在化し、論理設計からやり直す羽目にもなりかねない。 【0010】本発明の目的は、これらの問題を解消する ことにあり、大規模な半導体集積回路であってもクロッ クスキューの発生を抑制しうる半導体集積回路のクロッ ク配線回路の設計方法を提供することにある。

[0011] 【課題を解決するための手段】上記の目的は、論理設計 30 を行い、次に、レイアウト設計を行い、クロックパッフ ァ (2) をツリー状に配置する半導体集積回路のクロッ ク配線回路の設計方法において、論理設計時のクロック 回路にはクロックパッファ (2) を設けず、クロック信 号が入力される I /〇入力パッファ(1)のみを設け、 この1/0入カバッファ(1)よりクロック信号を必要 とする回路素子 (3) に直接接続し、レイアウト設計時 にクロック回路としてクロック信号を必要とする回路素 子 (3) の数より決まる前記のクロックパッファ (2) をツリー状に配置し、ツリー状に配置された前記のクロ 40 ックパッファ (2) の内直接前記の 1/〇入力パッファ (1) と接続されるクロックパッファ (2) と前配の I /O入力バッファ (1) とを接続するクロック配線幹パ ターン (4) を配置し、ツリー状に配置された前記のク ロックパッファ (2) と前記のクロック信号を必要とす る回路素子(3)とを接続するクロック配線枝パターン (5) は、このクロック配線枝パターン(5) と関連す る前記のクロック配線幹パターン(4)の遅延時間を半 導体集積回路全体の面積より想定されるクロック信号配 線の配線遅延時間より差し引いた遅延時間に近づくよう 50

に配置する半導体集積回路のクロック配線回路の設計方法によって達成される。

[0012]また、論理設計時の前起の1/〇入カパッファ(1)の選延時間として、この1/〇入カパッファ(1)の選延時間に、前起のクロック信号を必要とする 回路業子(3)の数より決まる前起のクロックパッファ(2)の運延時間と前面に配帳選延時間との合計時間を加算した時間をあるとして論理設計を行うようにしてあると、論理設計段階でのシミュレーションの確度が高く、競技とエレーションの後内度論理設計に戻ることをなくしるので都をがよい。

[0013]

【作用】本発明に係る半導体集積回路のクロック配線回 路の設計方法においては、

イ・クロックバッファ2は論理設計時には配置せず、レ イアウト設計時にクロックパッファ2の配置を決めてい る。

【0014】ロ、クロック配線校パターン5は、このクロック配線校パターン5と関連するクロック配線校パターン5と関連するクロック配線がパタ 0一ン4の遅延時間を半導体集積回路全体の面積より想定 されるクロック信号配線の配線遅延時間より差し引いた 遅延時間に近づくように配置を決めている。

【0015】このため、

ハ、クロックパッファ 2 とクロック信号を必要とする回路 第字3 との物理的配置を見てクロックパッファ 2 の論理的配置を決めることができ、クロックパッファ 2 の論理的配置を決めることができ、クロックパッファ 2 のまではど無いように決めることができる。そして、クロック信号を必要とする回路業子3までの配線長の多少の差はクロック配線はグラーン5 の配置を若干変更することにより無くしうるので、このクロックパッファ 2 に接続されるクロック信号を必要とする回路業子3 におけるクロックスキューを無くすことができる。

(0016) ニ、1/O入力パッファ1から直接接続されるクロックに れる異なるクロックパッファ2に接続されるクロック信 号を必要とする回路素子3 和互限においては、クロック 配線幹パターン4とクロック記線技パターン5との和の 選延呼哨が配線選延時間に近づくようにしているから、 クロックスキューの増加を制御することができる。

[0017]

【実施例】以下、図面を参照して、本発明の1実施例に 係る半導体集積回路のクロック配線回路の設計方法につ いてさらに詳細に説明する。

[0018] 図1参照 図1は本発明の1実施例に係る半導体集積回路のクロッ ク配線回路の設計方法において、論理設計時のクロック 回路である。図1において、1は外部よりクロック信号 が入力される1/〇入力パッファであり、3はクロック 信号を必要とする回路素子であり、6は論理設計された 論理回路を機能毎に分解した論理プロックである。この クロック回路例では I / O 入力パッファ 1 O 駅前動作 考慮せずに、クロック信号を必要とする回路兼干3のす べてが直接 I / O 入力パッファ 1 に接続されている。な お、A はクロック信号を必要とする回路兼子3 の数が多 く 1 個のグロックパッファ 2 では駆動できない論理プロ ック6である。

【0019】そして、論明設計接際におけるシミュレーションのために、1/〇入カパッファ1の遷延時間は、クロック信号を必要とする同以第子3の数より決まるク 10 ロックパッファ2の遷延時間と半導体集積回路合体の面積より超定されるクロック信号配線の配線運延時間(クロック配線運延時間をXとする。)との合計時間を1/〇入カパッファ1自身の遅延時間に加算した時間であるとしている。シミュレーションの結果、要求仕様を満足しておれば、施即設計に禁了である。

【0020】図2参照

図2は本発明の1実施例に係る半導体集積回路のクロッ ク配線回路の設計方法において、レイアウト設計時間の フロアプラン図である。図2において、2はクロックパ 20 ッファであり、4は I / O入力パッファ1とクロックバ ッファ2とを接続するクロック配線幹パターンである。 図2のフロアプラン図に示されているクロック回路に は、図1のクロック回路に対して、1/O入力パッファ 1に直接接続され、クロック信号を必要とする回路素子 3の数より決まるクロックパッファ2が追加されてい る。Aをもって示されている論理プロック6に2個のク ロックパッファ2が設けられているのは、この論理プロ ック6にクロック信号を必要とする回路素子3の数が多 く1個のクロックパッファ2では駆動できないことを示 30 している。これに対して、Bをもって示されている論理 プロック6のクロックパッファ2が1個であるのは、こ の論理プロック6にあるクロック信号を必要とする回路 素子3の全てが1個のクロックパッファ2で駆動できる ことを示している。

【0021】なお、このフロアブラン図の段階では、A をもって示されている倫理プロック6の2個のクロック バッファ2のそれぞれが図1のの商理プロック6のク ロック信号を必要とする回路来子3のどれとどれとを駆 動するかは、まだ決定されていない。

【0022】図3参照

図3は本発明の1 実施例に係る半導体集積回路のクロック配線回路の設計方法において、レイアウト設計時の最終回路の設立を3 において、5 はクロックパッファ 2 とクロック信号を必要とする回路業子3 とを接続するクロック配線使パターンである。この段階で、Aをもって示されている過避プロック6の2 個のクロックパッファ2のそれぞれが図1のAの発電プロック6のクロック信号を必要とする回路素子3のどれとどれとを駆動するががロック配線をパターン5 の配線長ができるだけ等 の

しくなるように決定される。そして、クロック配線技パターン5の物理的配便は次のように行う。すなわち、先す、クロック配線幹がターン4の配線基準時間である。大に、クロック配線をパターン5の配線運転時間とあった。の配線運転時間とたのカロック配線を時間とのカロック配線運転時間となるように配線でありなりなりなりない。すなわち、クロック配線運転時間との和がクロック配線運転時間となるように配線運転時間との和がクロック配線運転時間となった。分ロック配線がメターン5の配線運転時間である図中の ZAI、 ZA2、 ZB がそれぞれ、 ZA1=X ー YAI、 ZA2=X ー YA2、 ZB = X ー YB となるようにクロック配線がパターン5を配載すがばない。

【0023】また、半導体集積回路中のクロック信号を必要とする回路業子3の敷が多いときは、クロックパッファ2を夢傷のソリー状に置する。このときも上記と全く同様に、クロック配線校パターン50配線遅延時間とこのクロック配線校パターン5に関係するフロック配線がクロックパッフィン40配線を対けのマン5はカロックパッファ2相互を接続するクロック配線がクーン5はカロックパッファ2セロック信号を必要とする回路業子3とを接続するクロック配線との2種間のファク配線からなることに注意する必要がある。

[0024]以上により、本発明の1契施例に係る半導体集積回路のクロック配象の政制力法を終了する。 この方法によれば、クロックスキューを最小にすること ができ、動理を計段階においてほど最終シミュレーショ ン段階に近い選集時間となっているので、クロック回路 やクロックに縦がケーンにもとづく設計のやり直しを防 止することができる。

[0025] なお、フロアブランの段階においてクロック 配線幹パターン4相互の遅延時間の差が大きいときは 遅延時間の短いクロック配線幹パターン4に来子を付加 するなどして遅延時間の差を締めることもできる。

[0026]

(10 2 6 7) (2 6 7) (2 6 7) (2 6 7) (2 6 7) (2 6 7) (2 6 7) (2 7)

論理回路を機能毎に分解した論理プロックである。この クロック回路図では I /O入力パッファ1の駆動能力は 考慮せずに、クロック信号を必要とする回路素子3のす べてが直接 I /〇人力パッファ 1 に接続されている。な お、Aはクロック信号を必要とする回路素子3の数が多 く1個のクロックバッファ2では駆動できない論理プロ ック6である。

【0019】そして、論理設計段階におけるシミュレー ションのために、 I / O入力パッファ1の遅延時間は、 クロック信号を必要とする回路素子3の数より決まるク 10 ロックパッファ2の遅延時間と半導体集積回路全体の面 種より想定されるクロック信号配線の配線遅延時間(ク ロック配線遅延時間をXとする。)との合計時間をI/ 〇入力パッファ1自身の遅延時間に加算した時間である としている。シミュレーションの結果、要求仕様を満足

【0020】図2参照

しておれば、論理設計は完了である。

図2は本発明の1実施例に係る半導体集積回路のクロッ ク配線回路の設計方法において、レイアウト設計時間の フロアプラン図である。図2において、2はクロックパ 20 ッファであり、4は I / O入力パッファ 1 とクロックパ ッファ2とを接続するクロック配線幹パターンである。 図2のフロアプラン図に示されているクロック回路に は、図1のクロック回路に対して、I/O入力パッファ 1に直接接続され、クロック信号を必要とする回路素子 3の数より決まるクロックパッファ2が追加されてい る。Aをもって示されている論理プロック6に2個のク ロックパッファ2が設けられているのは、この論理プロ ック6にクロック信号を必要とする回路素子3の数が多 く1個のクロックパッファ2では駆動できないことを示 30 している。これに対して、Bをもって示されている論理 プロック 6 のクロックパッファ 2 が 1 個であるのは、こ の論理プロック6にあるクロック信号を必要とする回路 素子3の全てが1個のクロックパッファ2で駆動できる ことを示している。

【0021】なお、このフロアプラン図の段階では、A をもって示されている論理プロック6の2個のクロック パッファ2のそれぞれが図1のAの論理プロック6のク ロック信号を必要とする回路素子3のどれとどれとを駆 動するかは、まだ決定されていない。

[0022] 図3参照

図3は本発明の1実施例に係る半導体集積回路のクロッ ク配線回路の設計方法において、レイアウト設計時の最 終配置図である。図3において、5はクロックパッファ 2とクロック信号を必要とする回路素子3とを接続する クロック配線枝パターンである。この段階で、Aをもっ て示されている論理プロック6の2個のクロックパッフ ァ2のそれぞれが図1のAの論理プロック6のクロック 信号を必要とする回路素子3のどれとどれとを駆動する かがクロック配線枝パターン5の配線長ができるだけ等 50

しくなるように決定される。そして、クロック配線枝パ ターン5の物理的配置は次のように行う。すなわち、先 ず、クロック配線幹パターン4の配線遅延時間を計算す る。図中のYA1、YA2、YB はクロック配線幹パターン 4の配線遅延時間である。次に、クロック配線枝パター ン5の配線遅延時間とこのクロック配線枝パターン5に 関係するクロック配線幹パターン4の配線遅延時間との 和がクロック配線遅延時間Xになるように配線すればよ い。すなわち、クロック配線枝パターン5の配線遅延時 間である図中のZA1、ZA2、ZB がそれぞれ、ZA1=X クロック配線枝パターン5を配線すればよい。

【0023】また、半導体集積回路中のクロック信号を 必要とする回路素子3の数が多いときは、クロックパッ ファ2を多層のツリー状に配置する。このときも上記と 全く同様に、クロック配線枝パターン5の配線遅延時間 とこのクロック配線枝パターン5に関係するクロック配 線幹パターン4の配線遅延時間との和がクロック配線遅 延時間Xになるように配線すればよい。但しこの場合に は、クロック配線枝パターン5はクロックパッファ2相 互を接続するクロック配線とクロックパッファ2とクロ ック信号を必要とする回路素子3とを接続するクロック 配線との2種類のクロック配線からなることに注意する 必要がある。

[0024]以上により、本発明の1実施例に係る半導 体集積回路のクロック配線回路の設計方法を終了する。 この方法によれば、クロックスキューを最小にすること ができ、論理設計段階においてほゞ最終シミュレーショ ン段階に近い遅延時間となっているので、クロック回路 やクロック配線パターンにもとづく設計のやり直しを防 止することができる。

【0025】なお、フロアプランの段階においてクロッ ク配線幹パターン4相互の遅延時間の差が大きいときは 遅延時間の短いクロック配線幹パターン4に素子を付加 するなどして遅延時間の差を縮めることもできる。

[0026]

[発明の効果] 以上説明したように、本発明に係る半導 体集積回路のクロック配線回路の設計方法によれば、レ イアウト設計のフロアプラン後の詳細配置の段階におい 40 て、クロック回路を完成させている。このため、I/O 入力パッファから直接接続されるクロックパッファにつ いてのクロックスキューを抑制することができる。さら に、半導体集積回路全体の面積より想定されるクロック 配線遅延時間Xに対して、クロック配線枝パターンの配 線遅延時間とこのクロック配線枝パターンに関係するク ロック配線幹パターンの配線遅延時間との和がクロック 配線遅延時間Xになるように配線しているので、半導体 集積回路全体のクロックスキューをも抑制することがで きる。さらに、論理設計段階において、I/O入力パッ ファの遅延時間としてクロックパッファの遅延時間とク

ロック配線遅延時間とを含めてシミュレーションを行っ ているので、ほゞ最終シミュレーションに近いシミュレ ーションを行うことができ、再数計の必要がない。

【図面の簡単な説明】

【図1】本発明の1実施例に係る論理設計時のクロック 回路である。

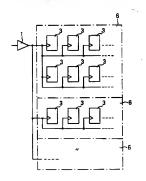
【図2】本発明の1実施例に係るレイアウト設計時のフロアプラン図である。

【図3】本発明の1実施例に係るレイアウト設計時の最 終配置図である。

【図4】 従来技術に係る論理設計時のクロック回路であ

[図1]

本発明の論理設計時のクロック回路



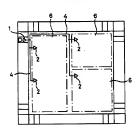
_

【符号の説明】

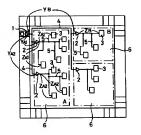
- I /O入力パッファ
- 2 クロックパッファ
- 3 クロック信号を必要とする回路業子
- 4 クロック配線幹パターン
- 5 クロック配線枝パターン
- 7 6 論理プロック

[図2]

本発明のレイアウト設計時のフロアプラン図



[図3]



.

ロック配線遅延時間とを含めてシミュレーションを行っ ているので、ほゞ最終シミュレーションに近いシミュレ ーションを行うことができ、再設計の必要がない。

【図面の簡単な説明】

【図1】本発明の1実施例に係る論理設計時のクロック 回路である。

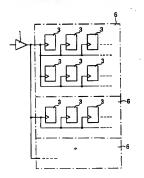
【図2】本発明の1実施例に係るレイアウト設計時のフロアプラン図である。

【図3】本発明の1実施例に係るレイアウト設計時の最 終配置図である。

【図4】従来技術に係る論理設計時のクロック回路であ

【図1】

本発明の論理設計時のクロック回路



_

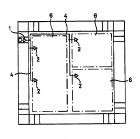
【図5】従来技術に係るレイアウト設計時の最終配置図である。

【符号の説明】

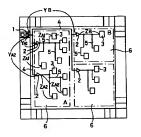
- 1 I/O入力パッファ
- 2 クロックパッファ
- 3 クロック信号を必要とする回路素子
- 4 クロック配線幹パターン
- 5 クロック配線枝パターン
- 10 6 論理プロック

[図2]

本発明のレイアウト設計時のフロアプラン図

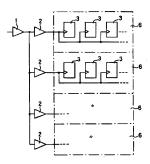


[図3]



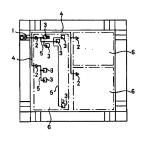
【図4】

従来技術の論理設計時のクロック回路



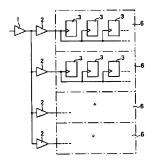
【図5】

従来技術のレイアウト設計時の最終配置図



[図4]

従来技術の論理設計時のクロック回路



[図5]

従来技術のレイアウト設計時の最終配置図

